



(19)

(11) Publication number: **2001176959 A**

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11355645

(51) Intl. Cl.: H01L 21/76

(22) Application date: 15.12.99

(30) Priority:

(43) Date of application publication: 29.06.01

(84) Designated contracting states:

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: TOMITA KAZURO

(74) Representative:

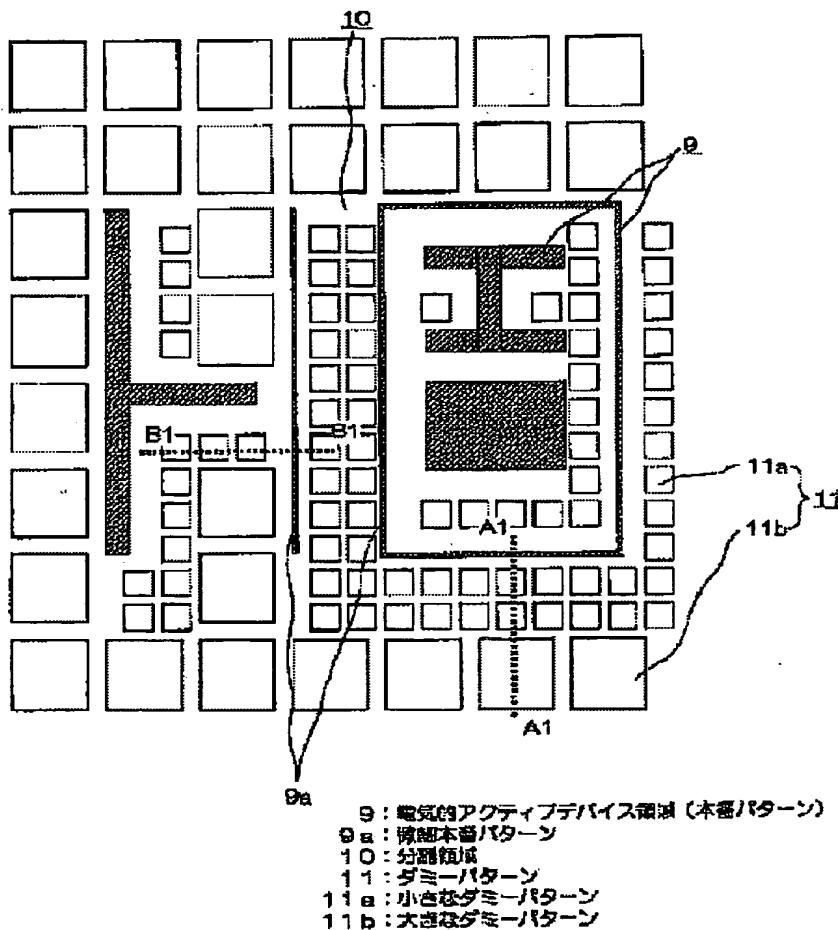
(54) SEMICONDUCTOR
DEVICE AND METHOD OF
FABRICATION

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device employing a trench type oxide film 13 for isolation of a semiconductor substrate 12 in which surface planarity is enhanced by enhancing uniformity of polishing speed at the time of polishing an isolation oxide film 13a by a CMP method.

SOLUTION: Two kinds of large and small dummy patterns 11 serving as a dummy active region is provided in an isolation region 10 wherein a large dummy pattern 11b is located at a position remote from a main pattern 9 and a small dummy pattern 11a is arranged regularly in a gap on the periphery of the main pattern 9.

COPYRIGHT: (C)2001.JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-176959

(P2001-176959A)

(43)公開日 平成13年6月29日(2001.6.29)

(51)Int.Cl.⁷

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

テームコード*(参考)

L 5 F 0 3 2

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21)出願番号 特願平11-355645

(22)出願日 平成11年12月15日(1999.12.15)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 富田 和朗

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100093562

弁理士 児玉 俊英

Fターム(参考) 5F032 AA34 AA44 BA01 CA23 DA04

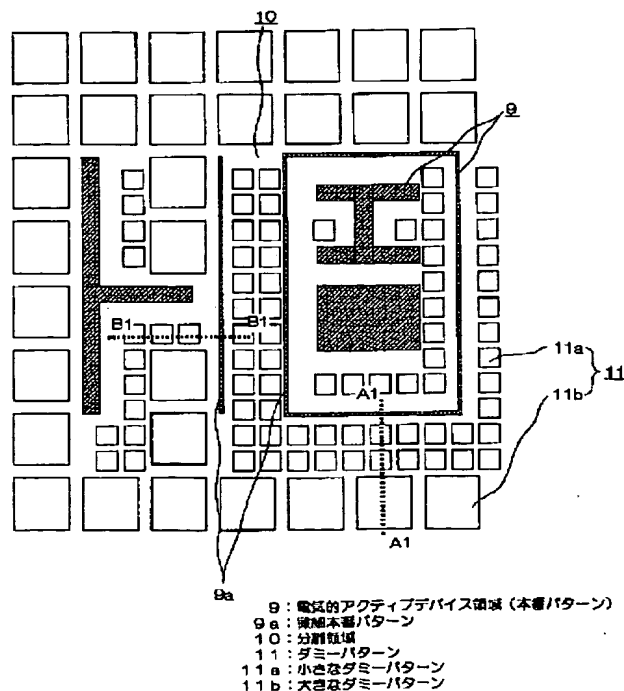
DA23 DA24 DA33 DA78

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 半導体基板12の素子分離にトレンチ型分離酸化膜13を用いた半導体装置において、分離酸化膜13aをCMP法で研磨する際の研磨速度の均一性を向上して表面平坦性の良好な半導体装置を得る。

【解決手段】 分離領域10内に、ダミーのアクティブ領域となる大小2種のダミーパターン11を設け、本番パターン9から遠方位置に大きなダミーパターン11bを配置し、本番パターン9周辺にできた隙間に小さなダミーパターン11aを規則的に配列して配置する。



【特許請求の範囲】

【請求項1】 半導体基板に電気的アクティブデバイス領域と、CMP法を用いて表面研磨したトレンチ型分離酸化膜から成る分離領域とが形成された半導体装置において、上記トレンチ型分離酸化膜パターンが所定の幅を超えて大きくならないように、該トレンチ型分離酸化膜パターンに囲まれるダミーのアクティブ領域となる面積の異なる複数種のダミーパターンを上記分離領域内に備え、該ダミーパターンを上記電気的アクティブデバイス領域のパターンとの位置関係に応じて面積を設定して規則的に配列したことを特徴とする半導体装置。

【請求項2】 電気的アクティブデバイスのパターンの遠方位置から該パターンに向かって比較的大きいダミーパターンを配置し、該電気的アクティブデバイスのパターン周辺にできた間隙に比較的小さいダミーパターンを挿入して配置したことを特徴とする請求項1記載の半導体装置。

【請求項3】 電気的アクティブデバイスのパターン周囲には比較的小さい面積のダミーパターンを配置し、これらの周囲にさらに比較的大きい面積のダミーパターンを配置したことを特徴とする請求項1記載の半導体装置。

【請求項4】 電気的アクティブデバイスの微細幅パターンの両側にトレンチ型分離酸化膜パターンを介してダミーパターンが配置され、上記トレンチ型分離酸化膜パターンの幅が、上記微細幅パターンの約1～10倍であることを特徴とする請求項1～3記載のいずれかに記載の半導体装置。

【請求項5】 半導体基板上に酸化膜を介して窒化膜を形成した後、分離領域内の所定の領域に所定の深さのトレンチを形成し、上記分離領域内に上記トレンチ領域とダミーパターンとなるダミーのアクティブ領域とを形成する第1の工程と、上記トレンチを埋め込んで全面に分離酸化膜を堆積する第2の工程と、所定のパターン寸法よりも大きい上記ダミーパターン領域上の上記分離酸化膜を、該パターン端部領域を所定の幅で残存させて選択的にエッチングする第3の工程と、CMP法により上記窒化膜上の上記分離酸化膜を研磨して除去する第4の工程とを有することを特徴とする請求項1～4のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、特に半導体集積回路装置における分離酸化膜とそれに囲まれる電気的アクティブ領域のパターンに関するものである。

【0002】

【従来の技術】近年、半導体集積回路装置では素子の微細化、高集積化に伴い、そのデザインルールはますます微細になり、プロセスにおいても大変複雑になってきて

いる。特に、素子間分離では、微細化に適したトレンチ型分離酸化膜が広く用いられるようになり、電気的アクティブデバイス領域の性能を損なうことなく、分離酸化膜をトレンチ内に良好に埋め込み、信頼性良くCMP法による研磨を行うことが非常に重要である。図9は、従来の半導体装置の素子分離形成後の平面図である。図に示すように、素子形成される電気的アクティブデバイス領域のパターン1（以下、本番パターン1と称す）が分離領域2に囲まれて配置される。特に、1aは電気的アクティブデバイス領域の微細幅パターン（以下、微細本番パターン1aと称す）である。図10は図9に示した従来の半導体装置の素子分離形成後の断面図である。図10(a)は図9のA9-A9線における断面図であり比較的大きい分離領域2を示すもの、図10(b)は図9のB9-B9線における断面図であり分離領域2に両側を挟まれた微細本番パターン1aを示すものである。

【0003】半導体装置における素子分離は、まず半導体基板3上に下敷き酸化膜4、窒化膜5を順次形成する。その後、分離領域2となる領域の窒化膜5を選択的にエッチング除去した後、窒化膜5マスクを用いて半導体基板3をエッチングすることによりトレンチ6を所定の深さに形成する。次いで、トレンチ6内を埋め込んで全面に分離酸化膜7を形成した後、CMP法により分離酸化膜7を研磨して窒化膜5上の分離酸化膜7を除去してトレンチ6内のみに残存させ、トレンチ型分離酸化膜7aを形成する。なお、窒化膜5および下敷き酸化膜4は、素子分離の後で除去するものである。

【0004】

【発明が解決しようとする課題】従来の半導体装置では、CMP法を用いた研磨により窒化膜5上の分離酸化膜7を除去するが、窒化膜5の研磨速度は遅いため、窒化膜5の形成領域の周辺では、窒化膜5の影響で研磨速度が減少する。逆に、図10(a)に示すような広い分離領域2（トレンチ型分離酸化膜7a）では、研磨速度が速くなり、特に中央部でディッシング(dishing)による膜厚の落ち込みが発生する。このため表面の平坦性が悪くなり、後工程でリソグラフィ技術を用いたパターンニングが良好に行えないという問題点があった。さらに、図10(b)に示すように、広い分離領域2（トレンチ型分離酸化膜7a）に微細本番パターン1aが挟まれている場合、図11に示すように、トレンチ型分離酸化膜7aで研磨速度が速いために、オーバーポリッシュにより微細本番パターン1aの窒化膜5の一部もしくは全部を研磨してしまうこともあった。これにより、トレンチ型分離酸化膜7aの膜厚の落ち込みがさらに大きくなり、例えば、トランジスタ特性における逆ナロー効果によるしきい値の低下や、リーク電流の増大など素子の電気的特性の劣化を招くという問題点があった。

【0005】上記のような問題点を改善するために、従来から、ダミーのアクティブ領域となるダミーパターン

を分離領域2内に設けて、CMP法による研磨速度の均一性の向上を図るものがあつた。図12および図13は従来の半導体装置の改善例を示す平面図であり、図9で示した半導体装置の分離領域2にダミーパターン8（ダミーのアクティブ領域）を配置したものである。図12では比較的小さなダミーパターン8aを、図13では比較的大きなダミーパターン8bを分離領域2内に敷き詰めるように配置した。

【0006】CMP法による分離酸化膜7研磨の際、図12で示した場合には、小さなダミーパターン8aが密集した領域で研磨速度が遅くなり、断面図である図14に示すように、アンダーポリッシュによりダミーパターン8aの窒化膜5上に分離酸化膜7が残存することがある。このような場合には、分離酸化膜7だけでなく下層の窒化膜5および下敷き酸化膜4もその後の除去工程で除去されずに残存し、著しく表面平坦性を損ない、後工程でのパターニングが困難になる。また、図13で示した場合には、ダミーパターン8bが大きいために、本番パターン1の周辺で、配置できない領域がある。特に、微細本番パターン1aの周辺にダミーパターン8bがない場合、B13-B13線における断面図は図10（b）と同様であり、トレンチ型分離酸化膜7aで研磨速度が速いために、オーバーポリッシュにより微細本番パターン1aの窒化膜5の一部もしくは全部を研磨してしまうことがあつた（図11参照）。これにより、上述したようにトレンチ型分離酸化膜7aの膜厚の落ち込みがさらに大きくなり素子の電気的特性の劣化を招く。

【0007】この発明は、上記のような問題点を解消するために成されたものであつて、分離領域にトレンチ型分離酸化膜を形成して素子分離する半導体装置において、分離酸化膜をCMP法を用いて研磨する際、研磨速度の均一性を向上してオーバーポリッシュやアンダーポリッシュを抑制し、表面平坦性の良好な信頼性の高い半導体装置を得ることを目的とする。

【0008】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置は、半導体基板上に電気的アクティブデバイス領域と、CMP法を用いて表面研磨したトレンチ型分離酸化膜から成る分離領域とが形成された装置構成であつて、上記トレンチ型分離酸化膜パターンが所定の幅を超えて大きくならないように、該トレンチ型分離酸化膜パターンに囲まれるダミーのアクティブ領域となる面積の異なる複数種のダミーパターンを上記分離領域内に備え、該ダミーパターンを上記電気的アクティブデバイス領域のパターンとの位置関係に応じて面積を設定して規則的に配列したものである。

【0009】またこの発明に係る請求項2記載の半導体装置は、請求項1において、電気的アクティブデバイスのパターンの遠方位置から該パターンに向かって比較的大きなダミーパターンを配置し、該電気的アクティブデ

バイスのパターン周辺にできた間隙に比較的小さいダミーパターンを挿入して配置したものである。

【0010】またこの発明に係る請求項3記載の半導体装置は、請求項1において、電気的アクティブデバイスのパターン周囲には比較的小さい面積のダミーパターンを配置し、これらの周囲にさらに比較的大きな面積のダミーパターンを配置したものである。

【0011】またこの発明に係る請求項4記載の半導体装置は、請求項1～3のいずれかにおいて、電気的アクティブデバイスの微細幅パターンの両側にトレンチ型分離酸化膜パターンを介してダミーパターンが配置され、上記トレンチ型分離酸化膜パターンの幅が、上記微細幅パターンの約1～10倍である。

【0012】またこの発明に係る請求項5記載の半導体装置の製造方法は、半導体基板上に酸化膜を介して窒化膜を形成した後、分離領域内の所定の領域に所定の深さのトレンチを形成し、上記分離領域内に上記トレンチ領域とダミーパターンとなるダミーのアクティブ領域とを形成する第1の工程と、上記トレンチを埋め込んで全面に分離酸化膜を堆積する第2の工程と、所定のパターン寸法よりも大きい上記ダミーパターン領域上の上記分離酸化膜を、該パターン端部領域を所定の幅で残存させて選択的にエッチングする第3の工程と、CMP法により上記窒化膜上の上記分離酸化膜を研磨して除去する第4の工程とを有するものである。

【0013】

【発明の実施の形態】実施の形態1. 以下、この発明の実施の形態1を図によって説明する。図1はこの発明の実施の形態1による半導体装置の平面図、図2（a）は図1のA1-A1線における断面図、図2（b）は図1のB1-B1線における断面図である。図において、9は素子形成される電気的アクティブデバイス領域のパターン（以下、本番パターン9と称す）で分離領域10に囲まれて配置される。特に、9aは電気的アクティブデバイス領域の微細幅パターン（以下、微細本番パターン9aと称す）である。11は分離領域10内に配置されたダミーのアクティブ領域となるダミーパターンで、11aは比較的小さなダミーパターン、11bは比較的大きなダミーパターンである。また、12は半導体基板、13はトレンチ型分離酸化膜である。

【0014】図に示すように、本番パターン9を囲む分離領域10内に面積の異なる2種のダミーパターン11（11a、11b）を配置する。このダミーパターン11の配置方法は、まず、本番パターン9から離れた領域から大きなダミーパターン11bを敷き詰めるように規則的に配列させて、本番パターン9の近くまで配置する。例えば、18 μ m角のダミーパターン11bを20 μ mピッチでアレイする。本番パターン9の周辺で、大きなダミーパターン11bが配置できない隙間領域に、小さなダミーパターン11aを挿入し、規則的に配列さ

せて配置する。例えば、 $3\mu\text{m}$ 角のダミーパターン11aを $5\mu\text{m}$ ピッチでアレイする。

【0015】このような半導体装置の素子分離工程を図3、図4を用いて説明する。図3は図2(a)に対応する部分、図4は図2(b)に対応する部分の工程をそれぞれ示す断面図である。まず、例えば $10\Omega\cdot\text{cm}$ の比抵抗を有するp型の単結晶シリコン等からなる半導体基板12上に下敷き酸化膜14を、例えば約 10nm の膜厚で形成し、さらに窒化膜15を約 $0.1\mu\text{m}$ の膜厚で形成する。その後、本番パターン9とダミーパターン11とのアクティブ領域9、11を除く領域の窒化膜15を選択的にエッチング除去した後、窒化膜15マスクを用いて半導体基板12を約 $0.3\mu\text{m}$ の深さまでエッチングすることによりトレンチ16を形成する。次いで、トレンチ16内を埋め込んで全面にHDP(Hydrogen Plasma)酸化膜から成る分離酸化膜13aを、例えば約 $0.4\mu\text{m}$ の膜厚で堆積した後、所定のパターン寸法より大きいアクティブ領域9、11の分離酸化膜13aをエッチングするためのレジストパターン17を分離酸化膜13a上に形成する。このレジストパターン17は、対象となるアクティブ領域9、11より、例えば約 $1.5\mu\text{m}$ アンダーサイシングして形成する(図3(a)、図4(a))。

【0016】次に、レジストパターン17をマスクとして分離酸化膜13aを窒化膜15に到達するまでエッチングして開口する。これにより、比較的広いアクティブ領域9、11、即ち、大きなダミーパターン11bおよび比較的広い本番パターン9の領域上の分離酸化膜13aは中央部が開口され端部13bのみが残存する。このときのエッチングは、ドライでもウェットでも良い。なお、微細本番パターン9a上に形成されるHDP酸化膜13cは図に示すように小さな三角形状となり、例えば、DRAM部のメモリセルなどの微細本番パターン9aの密集領域においても、小さな三角形状の多数のHDP酸化膜13cが密集する状態となる(図3(b)、図4(b))。次にCMP法により分離酸化膜13aを研磨して窒化膜15上の分離酸化膜13aを除去してトレンチ16内のみに残存させ、トレンチ型分離酸化膜13を形成する(図3(c)、図4(c))。次に、窒化膜15、下敷き酸化膜14を順次ウェットエッチングにより除去して、所定の処理を施して図2(a)、図2(b)で示した素子分離が完成する。

【0017】この実施の形態では、本番パターン9から離れた領域から大きなダミーパターン11bを敷き詰めるように規則的に配列させて配置し、本番パターン9の周辺で、大きなダミーパターン11bが配置できない隙間領域に、小さなダミーパターン11aを挿入し、規則的に配列させて配置したため、トレンチ型分離酸化膜13の幅が所定の幅を超えて大きくならない。このため、CMP法による分離酸化膜13aを研磨する際、研磨速

度が速くなることが抑えられ、ディッシング(dishing)による膜厚の落ち込みが防止できる。また、微細本番パターン9aの両側のトレンチ型分離酸化膜13の幅も、小さなダミーパターン11aを挿入することにより狭く抑えられるので、オーバーポリッシュにより微細本番パターン9aの窒化膜15が研磨されるのが防止でき、隣接するトレンチ型分離酸化膜13aの膜厚の落ち込みも防止できて、トランジスタ特性における逆ナロー効果によるしきい値の低下や、リーク電流の増大など素子の電気的特性の劣化を招くことがなくなる。このような微細本番パターン9aの両側のトレンチ型分離酸化膜13の幅は、微細本番パターン9aの1~10倍程度が望ましく、CMP法による研磨速度の均一性が向上して上記のような効果が確実に得られる。

【0018】さらに、大きなダミーパターン11bと小さなダミーパターン11aとを配置することにより、小さなダミーパターン11aが密集した領域がなくなり、CMP法による研磨速度の均一性が向上するため、アンダーポリッシュにより窒化膜15上に分離酸化膜13aが残存することが防止できる。大きなダミーパターン11bおよび比較的広い本番パターン9の領域上の分離酸化膜13aは、CMP法による研磨工程の前に、予めエッチング(プリエッチング)して中央部を開口しているため、容易に研磨できてアンダーポリッシュによる問題は無い。また、ダミーパターン11の配置によりアクティブ領域9、11の分離酸化膜13aと合わせた全体に対する面積占有率は、5割~8割程度の範囲で、本番パターン9の密集した領域と同等程度にできる。これにより、CMP法による研磨速度は、半導体基板12の面内全体において均一性がさらに向上する。上述したように、この実施の形態では、素子分離の際の分離酸化膜13aのCMP法による研磨の際、研磨速度の均一性が向上するため、表面平坦性が良好で信頼性の高い半導体装置が得られる。

【0019】なお、ダミーパターン11の寸法は、小さなダミーパターン11aが本番パターン9の最小寸法の1~100倍程度、大きなダミーパターン11bが本番パターン9の最小寸法の10~1000倍程度の範囲で適宜設定して用い、矩形パターンに限らず、短冊形、かき型、あるいはラインandスペース形状でも良いが、プロセス制御が容易な規則的に配列されたものとする。また、分離酸化膜13aのプリエッチングマスクとなるレジストパターン17はアクティブ領域より約 $1.5\mu\text{m}$ のアンダーサイシングとしたが、アンダーサイシング量はこれに限るものではなく、プリエッチング後にアクティブ領域の端部に分離酸化膜13aが残存すればよい。さらに、分離酸化膜13aのプリエッチングは、窒化膜15表面に到達するまでとしたが、到達する前でプリエッチングを終了し、その後のCMP法による研磨工程で調整しても良い。

【0020】実施の形態2. 次に、上記実施の形態1による図1および図2で示した半導体装置の素子分離構造を、分離酸化膜にTEOS酸化膜を用いて形成したものについて、図5、図6に基づいて以下に説明する。図5は図2(a)に対応する部分、図6は図2(b)に対応する部分の素子分離工程をそれぞれ示す断面図である。まず、上記実施の形態1と同様に、半導体基板12上に下敷き酸化膜14、さらに窒化膜15を形成した後、本番パターン9とダミーパターン11とのアクティブ領域9、11を除く領域の窒化膜15を選択的にエッチング除去し、窒化膜15マスクを用いて半導体基板12にトレンチ16を形成する。次いで、トレンチ16内を埋め込んで全面にTEOS酸化膜から成る分離酸化膜13dを堆積した後、レジストパターン17aを分離酸化膜13d上に形成する。このレジストパターン17aは、所定のパターン寸法より大きいアクティブ領域9、11、および例えばDRAM部のメモリセルなど、微細本番パターン9aが密集した領域の分離酸化膜13dをエッチングするためのマスクパターンとして形成され、対象となる領域より、例えば約1.5 μ mアンダーサイジングして形成する(図5(a)、図6(a))。

【0021】次に、レジストパターン17aをマスクとして分離酸化膜13dを、窒化膜15表面が露出しないところの所定の深さまでエッチングして開口する。これにより、比較的広いアクティブ領域9、11、即ち、大きなダミーパターン11b、比較的広い本番パターン9および微細本番パターン9aの密集領域の分離酸化膜13dは、中央部が下地窒化膜15を露出しない程度に開口され端部13eが残存する。このときのエッチングは、ドライでもウェットでも良い(図5(b)、図6(b))。その後、上記実施の形態1と同様に、CMP法により分離酸化膜13dを研磨して窒化膜15上の分離酸化膜13dを除去してトレンチ16内のみに残存させ、トレンチ型分離酸化膜13を形成する(図5(c)、図6(c))。次に、窒化膜15、下敷き酸化膜14を順次ウェットエッチングにより除去して、所定の処理を施して図2(a)、図2(b)で示した素子分離が完成する。

【0022】この実施の形態においても、上記実施の形態1と同様に、素子分離の際の分離酸化膜13dのCMP法による研磨の際、研磨速度の均一性が向上するため、表面平坦性が良好で信頼性の高い半導体装置が得られる。また、TEOS酸化膜から成る分離酸化膜13dのプリエッチングを比較的広いアクティブ領域9、11のみでなく微細本番パターン9aの密集領域でも行うものとした。これは、TEOS酸化膜13dでは、微細本番パターン9a上でも膜厚が減少することなく、微細本番パターン9aの密集領域では、微細本番パターン9a上のTEOS酸化膜13dが、隣接するトレンチ16上層にも延在して大きな面積のものとなってしまう、CM

P法による研磨の際、アンダーポリッシュを招き易いためである。

【0023】実施の形態3. 次に、この発明の実施の形態3を説明する。図7はこの発明の実施の形態3による半導体装置の平面図、図8(a)は図7のA7-A7線における断面図、図8(b)は図7のB7-B7線における断面図である。図に示すように、本番パターン9を囲む分離領域10内に面積の異なる2種のダミーパターン11(11a、11b)を配置する。このダミーパターン11の配置方法は、まず、本番パターン9周囲に小さなダミーパターン11aを規則的に配列させる。例えば、3 μ m角のダミーパターン11aを5 μ mピッチでアレイする。本番パターン9とその周囲の小さなダミーパターン11aのさらに周囲に、大きなダミーパターン11bを敷き詰めるように規則的に配列させて配置する。例えば、18 μ m角のダミーパターン11bを20 μ mピッチでアレイする。

【0024】このような半導体装置の素子分離工程は、分離酸化膜にHDP酸化膜13aを用いた場合は上記実施の形態1と同様に(図3、図4参照)、また、分離酸化膜にTEOS酸化膜13dを用いた場合は上記実施の形態2と同様に(図5、図6参照)行う。

【0025】この実施の形態では、本番パターン9周囲に小さなダミーパターン11aを配置し、さらにその周囲に大きなダミーパターン11bを規則的に配列させて配置したため、トレンチ型分離酸化膜13の幅が所定の幅を超えて大きくならない。このため、上記実施の形態1および2と同様に、CMP法による分離酸化膜13a(13d)を研磨する際、研磨速度が速くなることが抑えられ、ディッシング(dishing)による膜厚の落ち込みが防止できる。また、微細本番パターン9aの両側のトレンチ型分離酸化膜13の幅も、周囲に小さなダミーパターン11aが配置されているため狭く抑えられるので、オーバーポリッシュにより微細本番パターン9aの窒化膜15が研磨されるのが防止でき、素子の電気的特性の劣化を招くことがなくなる。さらに、大きなダミーパターン11bと小さなダミーパターン11aとを配置することにより、小さなダミーパターン11aが密集した領域がなくなり、アンダーポリッシュも防止できる。大きなダミーパターン11bおよび比較的広い本番パターン9の領域上の分離酸化膜13a(13d)は、CMP法による研磨工程の前に、予めエッチング(プリエッチング)して中央部を開口しているため、容易に研磨できてアンダーポリッシュによる問題は無い。

【0026】上述したように、この実施の形態においても、上記実施の形態1および2と同様に、素子分離の際の分離酸化膜13a(13d)のCMP法による研磨の際、研磨速度の均一性が向上するため、表面平坦性が良好で信頼性の高い半導体装置が得られる。

【0027】なお、上記実施の形態1～3では、ダミー

パターン11は大小2種類のものとしたが、3種類以上にしても良く、上記実施の形態1のように、本番パターン9から遠方位置に一番大きいダミーパターン11を配置し、本番パターン9に向かってダミーパターン11の面積を徐々に小さいものを配置するか、あるいは、上記実施の形態3のように、本番パターン9の周囲に一番小さいダミーパターン11を配置し、遠方位置に向かってダミーパターン11の面積を徐々に大きいものを配置する。このように、本番パターン9との位置関係によってダミーパターン11の面積を設定して配置し、トレンチ型分離酸化膜13の幅が必要以上に大きくなることを抑えることにより、CMP法による分離酸化膜13a(13d)の研磨の際、研磨速度の均一性が向上でき、表面平坦性が良好で信頼性の高い半導体装置が得られる。

【0028】

【発明の効果】以上のように、この発明に係る請求項1記載の半導体装置は、トレンチ型分離酸化膜パターンが所定の幅を超えて大きくならないように、該トレンチ型分離酸化膜パターンに囲まれるダミーのアクティブ領域となる面積の異なる複数種のダミーパターンを分離領域内に備え、該ダミーパターンを電気的アクティブデバイス領域のパターンとの位置関係に応じて面積を設定して規則的に配列したため、CMP法による分離酸化膜研磨の際、研磨速度の均一性が向上でき、表面平坦性が良好で信頼性の高い半導体装置が得られる。

【0029】またこの発明に係る請求項2記載の半導体装置は、請求項1において、電気的アクティブデバイスのパターン周囲には比較的小さい面積のダミーパターンを配置し、これらの周囲にさらに比較的大きい面積のダミーパターンを配置したため、トレンチ型分離酸化膜パターンの幅が必要以上に大きくなることが確実に抑えられ、CMP法による分離酸化膜研磨の際、研磨速度の均一性が向上でき、表面平坦性が良好で信頼性の高い半導体装置が得られる。

【0030】またこの発明に係る請求項3記載の半導体装置は、請求項1において、電気的アクティブデバイスのパターンの遠方位置から該パターンに向かって比較的大きいダミーパターンを配置し、該電気的アクティブデバイスのパターン周辺にできた間隙に比較的小さいダミーパターンを挿入して配置したため、トレンチ型分離酸化膜パターンの幅が必要以上に大きくなることが確実に抑えられ、CMP法による分離酸化膜研磨の際、研磨速度の均一性が向上でき、表面平坦性が良好で信頼性の高い半導体装置が得られる。

【0031】またこの発明に係る請求項4記載の半導体装置は、請求項1～3のいずれかにおいて、電気的アクティブデバイスの微細幅パターンの両側にトレンチ型分離酸化膜パターンを介してダミーパターンが配置され、上記トレンチ型分離酸化膜パターンの幅が、上記微細幅パターンの約1～10倍であるため、素子の電気的特性

を劣化させることなく、表面平坦性が良好で信頼性の高い半導体装置が得られる。

【0032】またこの発明に係る請求項5記載の半導体装置の製造方法は、半導体基板上に酸化膜を介して窒化膜を形成した後、分離領域内の所定の領域に所定の深さのトレンチを形成し、上記分離領域内に上記トレンチ領域とダミーパターンとなるダミーのアクティブ領域とを形成する第1の工程と、上記トレンチを埋め込んで全面に分離酸化膜を堆積する第2の工程と、所定のパターン寸法よりも大きい上記ダミーパターン領域上の上記分離酸化膜を、該パターン端部領域を所定の幅で残存させて選択的にエッチングする第3の工程と、CMP法により上記窒化膜上の上記分離酸化膜を研磨して除去する第4の工程とを有するため、表面平坦性が良好で信頼性の高い半導体装置が容易で確実に得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置の平面図である。

【図2】 この発明の実施の形態1による半導体装置の断面図である。

【図3】 この発明の実施の形態1による半導体装置の製造方法を示す断面図である。

【図4】 この発明の実施の形態1による半導体装置の製造方法を示す断面図である。

【図5】 この発明の実施の形態2による半導体装置の製造方法を示す断面図である。

【図6】 この発明の実施の形態2による半導体装置の製造方法を示す断面図である。

【図7】 この発明の実施の形態3による半導体装置の平面図である。

【図8】 図7の断面図である。

【図9】 従来の半導体装置の平面図である。

【図10】 従来の半導体装置の断面図である。

【図11】 従来の半導体装置の問題点を示す断面図である。

【図12】 従来の別例による半導体装置の平面図である。

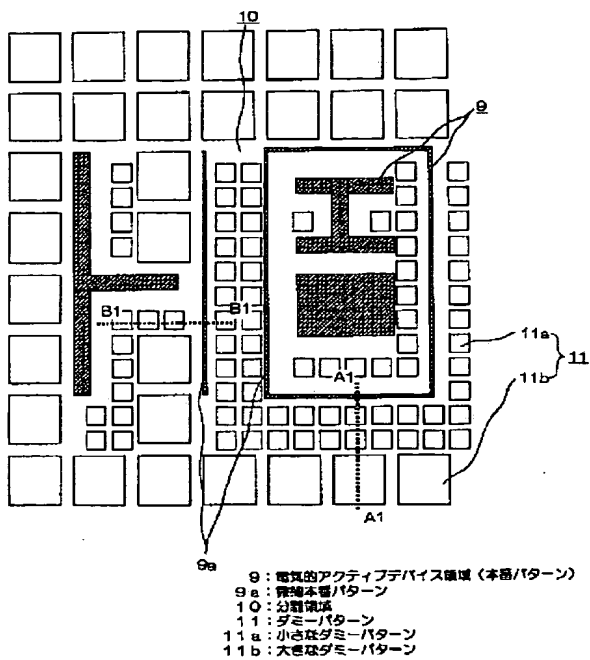
【図13】 従来の別例による半導体装置の平面図である。

【図14】 図12に示す半導体装置の断面図である。

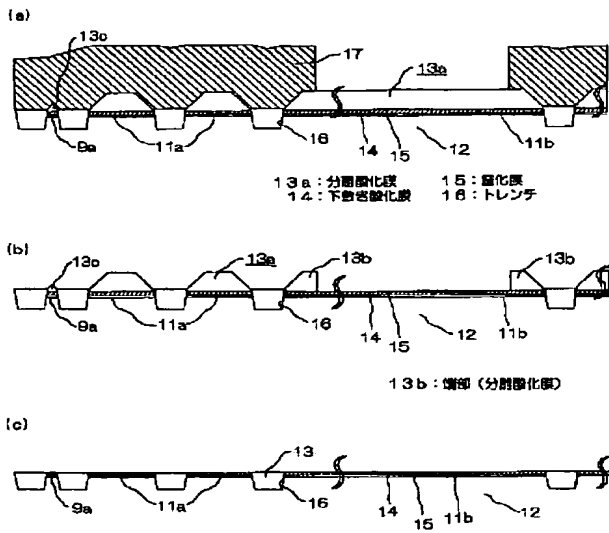
【符号の説明】

9 電気的アクティブデバイス領域、9a 電気的アクティブデバイスの微細幅パターンとしての微細本番パターン、10 分離領域、11 ダミーパターン、11a 小さなダミーパターン、11b 大きなダミーパターン、12 半導体基板、13 トレンチ型分離酸化膜、13a、13d 分離酸化膜、13b、13e 端部(分離酸化膜)、14 下敷き酸化膜、15 窒化膜、16 トレンチ。

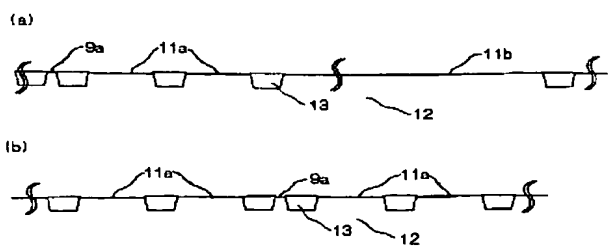
【図1】



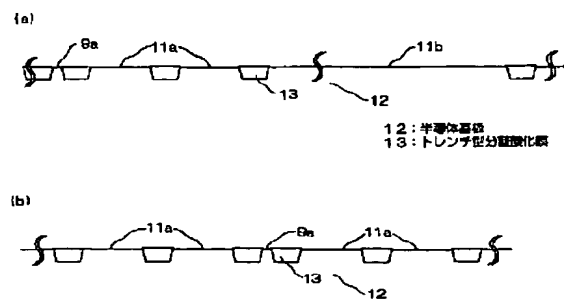
【図3】



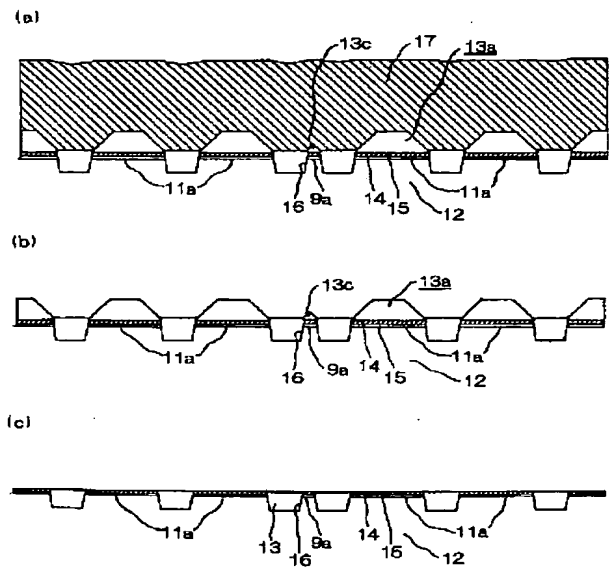
【図8】



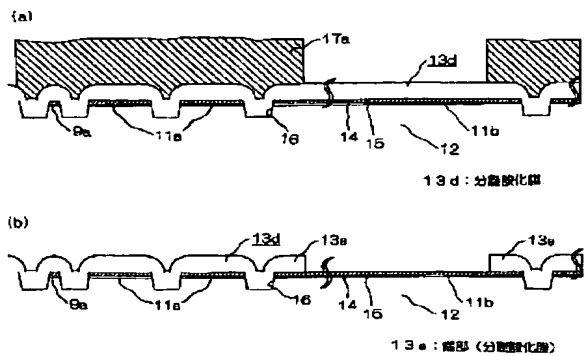
【図2】



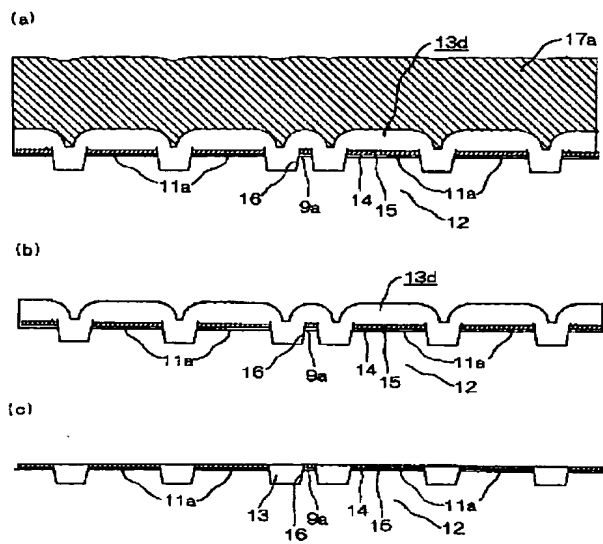
【図4】



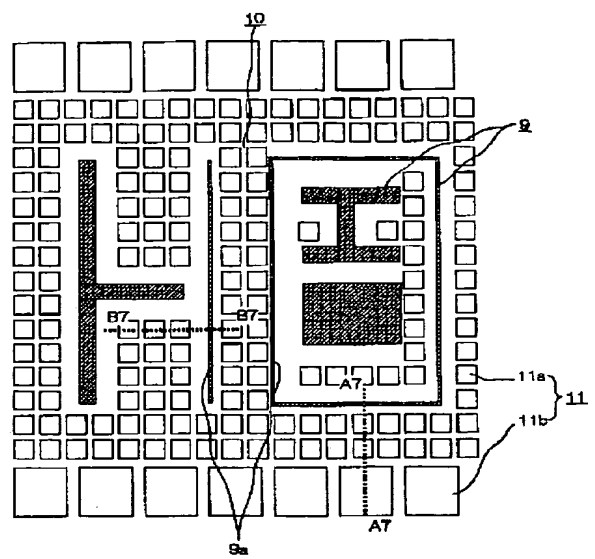
【図5】



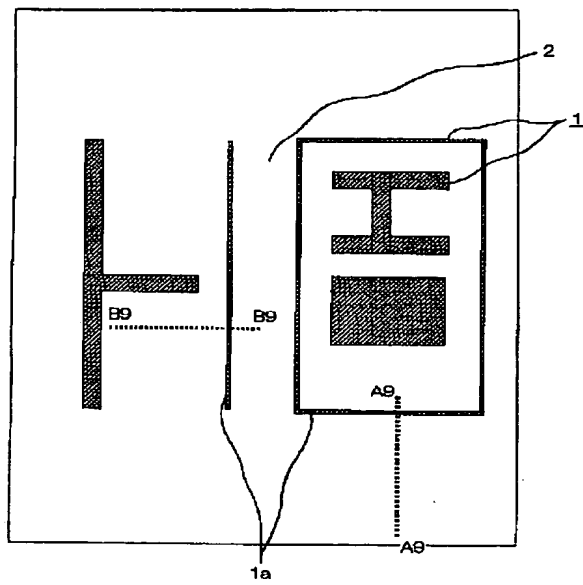
【図6】



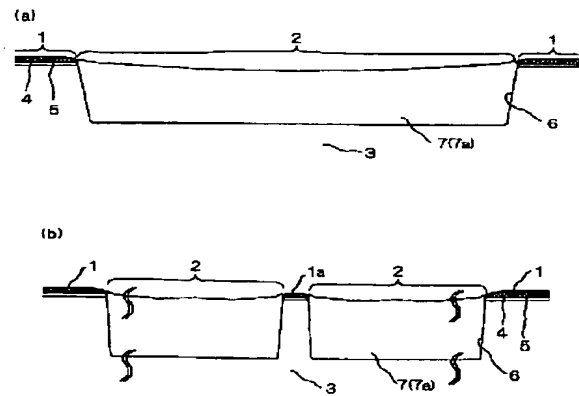
【図7】



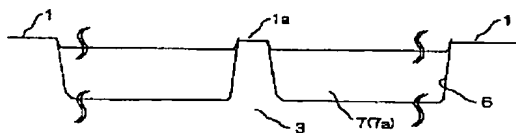
【図9】



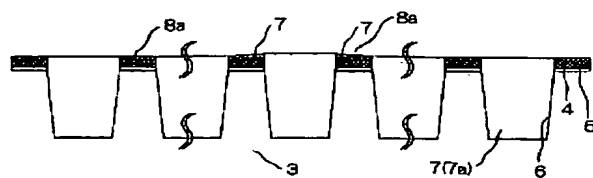
【図10】



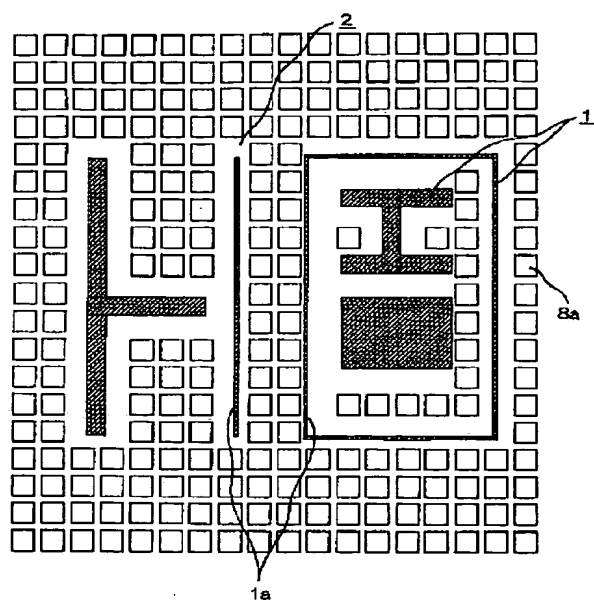
【図11】



【図14】



【図12】



【図13】

